

BEST AVAILABLE COPY

**(54) SEMICONDUCTOR DEVICE**

(11) 57-10267 (A) (43) 19.1.1982 (19) JP

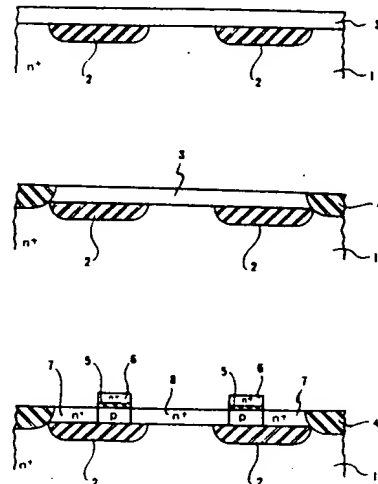
(21) Appl. No. 55-84885 (22) 23.6.1980

(71) FUJITSU K.K. (72) JIYUNJI SAKURAI(3)

(51) Int. Cl.<sup>3</sup>. H01L29/78, H01L21/208, H01L21/263, H01L27/12

**PURPOSE:** To obtain an SOS type FET by a method wherein a monocrystalline substrate being provided selectively with oxide films, a semiconductor layer is formed being made to single crystal by laser annealing, and a channel region, source and drain regions are formed in the layer.

**CONSTITUTION:** The oxide films 2 are formed selectively in the  $n^+$  type Si substrate 1, and polycrystalline Si is accumulated on the surface. The polycrystalline Si is annealed by a laser beam, for example, to form a monocrystalline layer 3 making the exposed surface of the substrate 1 as a core. After field films 4 are formed, B ions, for example, are implanted in the monocrystalline layer 3 to convert it to p type. Then after thin oxide films 5 to be used as gate films and polycrystalline Si gate electrodes 6 are formed, phosphorus is ion implanted, for example, using the electrodes 6 as masks to form drain regions 7 and a source region 8 being connected in common with the substrate 1. Accordingly the MOSFET having active regions on the oxide films 2 can be formed.



21/56

⑤ Int. Cl.<sup>3</sup>H 01 L 29/78  
21/208  
21/263  
27/12

識別記号

庁内整理番号

6603—5F  
7739—5F  
6851—5F  
6426—5F

⑬ 公開 昭和57年(1982)1月19日

発明の数 1  
審査請求 未請求

(全 3 頁)

## ⑭ 半導体装置

⑯ 特 願 昭55—84885  
 ⑰ 出 願 昭55(1980)6月23日  
 ⑱ 発 明 者 桜井潤治  
 川崎市中原区上小田中1015番地  
 富士通株式会社内  
 ⑲ 発 明 者 飯田厚夫  
 川崎市中原区上小田中1015番地  
 富士通株式会社内

⑳ 発 明 者 和田邦彦  
 川崎市中原区上小田中1015番地  
 富士通株式会社内  
 ㉑ 発 明 者 中野元雄  
 川崎市中原区上小田中1015番地  
 富士通株式会社内  
 ㉒ 出 願 人 富士通株式会社  
 川崎市中原区上小田中1015番地  
 ㉓ 代 理 人 弁理士 玉蟲久五郎 外 3 名

## 明 細 書

## 1 発明の名称 半導体装置

## 2 特許請求の範囲

一導電型の単結晶半導体基板、該基板表面に選択的に形成された酸化膜、該酸化膜表面及び該酸化膜間に表出された前記基板表面の上に形成された反対導電型の単結晶半導体層、該単結晶半導体層内にて反対導電型部分を介して対向し且つ一方が前記基板の表出された部分に接している一対の一導電型不純物領域を備えてなることを特徴とする半導体装置。

## 3 発明の詳細な説明

本発明は、多結晶シリコン或いは非晶質シリコンをレーザ線或いは粒子線でアニールして単結晶シリコンとなし、そこに素子を形成する構成の半導体装置の改良に関する。

近年、絶縁物の上に形成された多結晶シリコン或いは非晶質シリコンをレーザ線或いは粒子線でアニールすることにより単結晶化し、そこに素子

(1)

を形成してSOS (Silicon On Sapphire) 形式の半導体装置と類似の半導体装置を製造することができるようになった。

しかしながら、レーザ線等で多結晶シリコン等を広範囲に単結晶化することは容易ではない。従って、現段階では、その技術に対応した新しい構造の半導体装置が考えられなければならない。

本発明は、多結晶シリコン或いは非晶質シリコンにレーザ・ビーム等を照射し、広範囲に亘って容易に単結晶化できる構造の半導体装置を提供するものであり、以下これを詳細に説明する。

第1図乃至第3図は本発明一実施例を製造する場合を説明する為の工程図に於ける半導体装置の要部断面説明図であり、次に、これ等の図を参照しつつ記述する。

## 第1図参照

(1) <sup>+</sup>型シリコン半導体基板1に例えば酸化シリコン膜をマスクとする選択的熱酸化法を適用して二酸化シリコン膜2を形成する。この二酸化シリコン膜2は通常の半導体装置とは逆に活性

(2)

領域の大部分が位置すべき部分に在る。従って、基板1の表面が露出している部分は殆んどフィールド領域となる。

- (2) 化学気相成長法を適用し、多結晶シリコン膜3を厚さ例えば0.4[ $\mu\text{m}$ ]程度に形成する。

#### 第2図参照

- (3) レーザ・ビームを照射して、多結晶シリコン膜3の溶融及び再結晶化を行ない、 $p$ 型単結晶シリコン層に変換する。この単結晶化は、二酸化シリコン膜2の開口に露出されている単結晶シリコン半導体基板1の表面一部を核として行なわれるので安定且つ確実に行なわれる。
- (4) 例えば窒化シリコン膜をマスクとする選択的熱酸化法を適用し、フィールド酸化膜4を形成する。このフィールド酸化膜4はそのエッジが二酸化シリコン膜2のエッジと衝合している。
- (5) 例えばイオン注入法にて酸素イオンの導入を行なう。

#### 第3図参照

- (6) 熱酸化法を適用して薄い酸化膜を形成し、そ

(3)

を行なって前記多結晶シリコン層などの単結晶化をすることができる。核となる単結晶半導体基板はフィールドとなる部分を露出させて利用するものであるから、半導体ウエハに多数点在した状態に在り、通常レーザ・アニール或いは粒子線アニールによって一つの核から単結晶化される領域が1~2 $\mu\text{m}$ 程度の領域になってしまうにもかかわらずそのアニール範囲は核から然程離れることはないので良好な単結晶化が行なわれるものである。そして、完成された装置は、素子領域下方が酸化膜で覆われた構造になっている為、SOS形式の半導体装置と同様の機能を有するものであり、また、基板側から素子領域に電圧・電流を供給することが可能である。

#### 4. 図面の簡単な説明

第1図乃至第3図は本発明一実施例を製造する場合の工程を説明する為の工程段所に半導体装置の要部断面説明図である。

図に於いて、1は基板、2は二酸化シリコン膜、3は多結晶シリコン層、4は酸化膜、5はゲート

(5)

の上に、化学気相成長法を適用して多結晶シリコン膜を形成する。

- (7) フォト・リソグラフィ技術にて前記多結晶シリコン膜及び薄い酸化膜のパターニングを行ない、シリコン・ゲート電極6及びゲート酸化膜5とする。
- (8) イオン注入法を適用して例えば $p$ 型ドレイン領域7及び $n$ 型ソース領域8を形成する。ソース領域8は共通に基板1とコンタクトしている。
- (9) この後、通常の技法にて、絶縁膜の形成、電極コンタクト窓の形成、電極の形成などを行なって完成させる。

以上の説明で判るように、本発明に依れば、単結晶半導体基板の表面に選択的に酸化膜が形成され、その間から基板の一部が露出された構造を採っている。従って、その上に多結晶シリコン層或いは非晶質シリコン層を形成し、前記酸化膜の間に露出されている単結晶半導体基板の一部表面を核としてレーザ・アニール或いは粒子線アニール

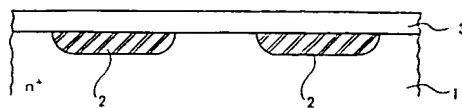
(4)

酸化膜、6はゲート電極、7はドレイン領域、8はソース領域である。

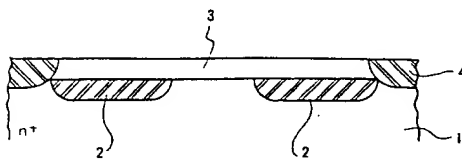
特許出願人 富士通株式会社  
代理人 弁理士 玉 島 久 五 郎  
(外3名)

(6)

第 1 図



第 2 図



第 3 図

